

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-339686

(43) 公開日 平成8年(1996)12月24日

| | | | | |
|---------------------------|--------|--------|---------------|---------|
| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| G 1 1 C | 11/409 | | G 1 1 C 11/34 | 3 5 3 F |
| | 11/401 | | | 3 6 2 H |

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願平7-145987

(22) 出願日 平成7年(1995)6月13日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地、

(72) 発明者 田中 功

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

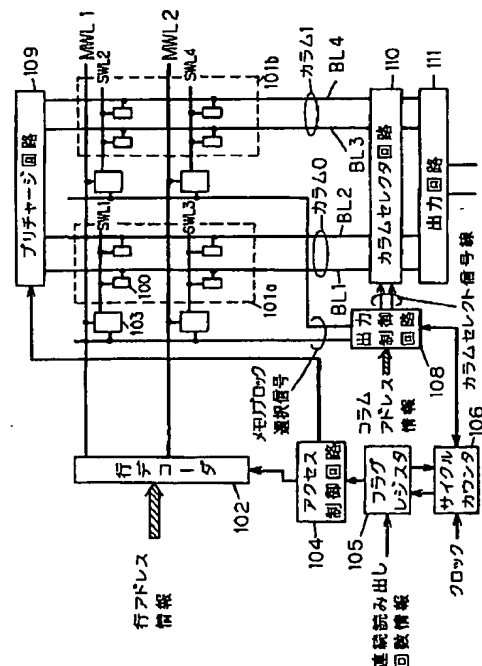
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 連続するメモリ領域に対する読みだし時におけるプリチャージ回数低減を可能とし、低消費電力化を実現する。

【構成】 連続して読みだされるワード数をフラグレジスタに格納し、このフラグとサイクルカウンタの値によって、アクセス制御回路によりワード線制御回路、プリチャージ回路を制御する。連続読みだし期間中はアクセスの対象とならないビット線電位はプリチャージレベルにあるので、アクセス制御回路によりプリチャージ動作を停止することができる。アクセスするメモリセルをサブワード線、ビット線を切り替え、順次出力制御回路と接続することによって、連続するメモリ領域の読みだしを実現する。このため、プリチャージ回数が低減され低消費電力化が実現される。



【特許請求の範囲】

【請求項 1】メモリセルをマトリクス状に配置し構成するメモリセルアレイを複数に分割したメモリブロックと、

行アドレス情報を解読し主ワード線を制御する行デコーダと、

前記主ワード線と前記メモリセルに接続されデータの入出力を制御するサブワード線を制御するサブデコーダと、

前記メモリセルに接続され格納されているデータを読みだすビット線と、

前記ビット線とデータ入出力線を電氣的に接続するカラムセクタと、

前記ビット線を所定の電位まで充電するプリチャージ回路と、

連続して読みだすワード数を表す連続ワード数フラグを格納するフラグレジスタと、

前記フラグレジスタの値に応じて前記行デコーダと前記プリチャージ回路に制御信号を出力するアクセス制御回路と、

前記フラグレジスタに格納された値に応じてサイクル数をカウントするサイクルカウンタと、

前記サイクルカウンタのカウント数とカラムアドレス情報に応じてメモリブロック選択信号を出力し前記カラムセクタを切り替える出力制御回路と、

前記カラムセクタを介してデータを外部へ出力する出力回路とを具備することを特徴とする半導体記憶装置。

【請求項 2】メモリセルをマトリクス状に配置し構成するメモリセルアレイを複数に分割したメモリブロックと、

行アドレス情報を解読する行デコーダと、

前記主ワード線と前記メモリセルに接続されデータの入出力を制御するサブワード線を制御するサブデコーダと、

前記メモリセルに接続され格納されているデータを読みだすビット線と、

前記ビット線とデータ入出力線を電氣的に接続するカラムセクタと、

前記ビット線を所定の電位まで充電するプリチャージ回路と、

連続して読みだすワード数を表す連続ワード数フラグを格納するフラグレジスタと、

前記行デコーダに接続され前記主ワード線を制御するワード線制御回路と、

前記フラグレジスタの値に応じて前記ワード線制御回路と前記プリチャージ回路に制御信号を出力するアクセス制御回路と、

前記フラグレジスタに格納された値に応じてサイクル数をカウントするサイクルカウンタと、

前記サイクルカウンタのカウント数とカラムアドレス情

報に応じてメモリブロック選択信号を出力し前記カラムセクタを切り替える出力制御回路と、

前記カラムセクタを介してデータを外部へ出力する出力回路とを具備することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、連続するメモリ領域へのアクセスを要求される半導体記憶装置、特に高速なアクセス実現のためにビット線をプリチャージする方式の半導体記憶装置に関するものである。

【0002】

【従来の技術】近年、データ処理の高速化への要求と共に、メモリアccessの低消費電力化への要求が高まってきた。しかしながら、メモリの高速性を維持しながら低消費電力化を実現することは容易でない。そこで、連続するメモリ領域をアクセスする場合には、開始アドレス情報をデコードし、そのデコード結果から時間的に順次アクセスの対象となるワード線、ビット線を選択することによってデータを出力する半導体記憶装置が考案され、メモリ本体への外部からのアクセス回数を低減しメモリの高速化と低消費電力化を実現している。

【0003】以下図面を参照しながら、その半導体記憶装置の一例について説明する。図5は従来の半導体記憶装置の概略構成図を示すものであり、図6は従来例におけるタイミング図である。図5において、500はデータを記憶するメモリセル100をM×N個マトリクス状に配置したメモリセルアレイであり、それぞれのメモリセルにはデータを読み出すビット線BLと、データの出力を制御するワード線WLが接続されており、行デコーダ501、ワード線制御回路507によって制御される。ビット線はそれぞれカラムセクタ510、ビット線を所定のプリチャージ電位まで充電するプリチャージ回路509に接続され、その出力部には外部への出力のために出力回路511が接続されている。504はワード線制御回路507を制御するアクセス制御回路、508はカラムセクタ510を制御する出力制御回路である。

【0004】以上のように構成された半導体記憶装置について、以下その動作についてカラム数(N)が4であり連続する3アドレスのデータを読みだす場合を想定して説明する。メモリに対するアクセスが開始されていない時刻T0においては全てのビット線BLはプリチャージ状態にあり、プリチャージレベル(この例の場合、電源電圧VDD)に充電されている。時刻T1において連続メモリ領域に対するアクセス命令が発行され、開始アドレス情報に従ってワード線WLが選択され活性化される。活性化したワード線に接続されたメモリセルからはビット線にデータが読みだされる。この時、アクセスが開始されたアクセスサイクル1では開始アドレス情報にしたがってカラム0が選択されビット線BL1が出力回路5

3

11に接続されカラムアドレス0に相当するデータが外部へ出力される。この時、全てのビット線上にはメモリセルから出力されたデータが読みだされているため、次のアクセスサイクルではビット線のプリチャージ動作が必要となる。そして、アクセスサイクル2ではサイクルカウンタ506の値が更新されこの値と開始アドレス情報から出力制御信号によってカラム1が選択されビット線BL2が出力回路511に接続されカラムアドレス1に相当するデータが出力される。以下同様にカラム2のデータが出力される。この過程において外部からの入力アドレスが更新されるのはアクセスサイクル1の期間中のみであり、以降の2サイクル目以降はアクセス制御回路504とワード線制御回路507により選択するワード線、ビット線を切り替えただけであり、この期間中はアドレスを更新するためにアドレスを生成する部分での電流は発生しない。連続する3アドレスのデータをワード線、ビット線を切り替え順次出力することにより、アクセススピードを阻害することなく低消費電力化を実現する。

【0005】

【発明が解決しようとする課題】上記のような構成においては、ワード線制御回路507によりアクセスするワード線を活性化しメモリセルを順次選択し出力制御部で外部出力回路511に接続するビット線を切り替えることによって連続したメモリ空間へのアクセスを実現する。このため、上記のような構成では、アクセスする度に選択されたワード線に接続されたメモリセルからのアクセスにより全てのビット線の電位は引き落とされる可能性があり（メモリセル内のデータに依存する）、連続してメモリ領域にアクセスする場合には、ビット線電位をアクセスする毎にプリチャージする必要があり、プリチャージに要する消費電力が増大するという問題点を有していた。

【0006】本発明の目的は上記問題点を鑑み、簡単な回路を付加するだけで連続するメモリ領域に対するアクセスを実現し、ビット線プリチャージの回数を削減することにより連続読みだし動作時の消費電力を低減する半導体記憶装置を提供するものである。

【0007】

【課題を解決するための手段】上記問題点を解決するために本発明の半導体記憶装置は、連続するアドレス空間をアクセスしている期間中はワード線制御回路により読みだされるアドレスに相当する主ワード線を活性化状態に維持し、アクセス制御回路によりアクセスするビット線を選択すると同時にメモリセルに接続されたサブワード線の活性化状態を制御することにより、アクセスするメモリセルを順次選択しビット線上にデータを出力し、この出力を所定の制御信号により順次出力回路に接続するものである。

【0008】

4

【作用】本発明は上記した構成によって、小規模な回路の追加により開始アドレスに関係なく連続するメモリ領域へのアクセス時のプリチャージで消費される電力を低減することが可能となる。

【0009】

【実施例】以下本発明の一実施例の半導体記憶装置について、図面を参照しながら説明する。図1は本発明の一実施例における半導体記憶装置の概略構成図である。図1においては、それぞれ複数のメモリセルからなるメモリブロック101a、101bを列方向に2つ配置した場合を示す。同図において、100はデータを格納するメモリセルであり、データを出力するビット線BLと、メモリブロックごとに設けられたサブワード線SWLに接続されている。102は行アドレス情報を解読する行デコーダである。行デコーダ102の出力端子には複数のメモリブロック101a、101bに亘る主ワード線MWLが接続されている。110はアクセスすべきビット線を選択するカラムセレクト回路であり、カラムセレクト信号線とビット線BLが接続される。103は主ワード線MWLとメモリブロック選択信号に接続されサブワード線のうち選択されたメモリブロックのサブワード線のみを活性化するサブデコーダである。ビット線はそれぞれカラムセクタ110に入力され、その出力部には外部への出力のために出力回路111が接続されている。また、109はビット線を所定のプリチャージレベルに充電するプリチャージ回路であり、104は行デコーダ、プリチャージ回路を制御するアクセス制御回路、108はアクセスするカラムアドレス情報を解読しカラムセクタ110、サブデコーダ103を制御する出力制御回路である。また、105は連続して読みだすデータの数（最大カラム数分）を示す連続読みだしフラグを格納するフラグレジスタであり、106はフラグレジスタ105の値を参照しクロックに同期してカウントアップまたはカウントダウン（本実施例の場合はカウントアップ）するサイクルカウンタである。

【0010】以上のように構成された半導体記憶装置について、以下図1及び図2を用いてその動作を説明する。ここで、図2は上記半導体記憶装置のタイミング図である。本実施例においてはカラム数を2とし、連続する2アドレスを連続して読みだす場合について説明する。本発明半導体記憶装置では、初期状態T0においては、全てのビット線BLはプリチャージレベルにプリチャージされている。

【0011】まず、アクセスの開始アドレスがカラムアドレス0を示していた場合について説明する。いま、時刻T1において連続メモリ領域に対するアクセス命令が発行され、開始アドレス情報に従って該当する主ワード線MWL1が活性化される。この時、連続する2アドレスのデータを読みだすことがフラグレジスタ105中に書き込まれ、サイクルカウンタ106がクリアされ、開始

5

アドレスにより初期値が設定される。この場合、カラムアドレスが0であるから0が設定される。活性化された主ワード線MWL1に接続されているサブデコーダ103のうち、開始アドレス情報とサイクルカウンタの値により選択されたメモリブロックのサブワード線に対してのみ出力制御回路108からブロック選択信号が出力され、サブワード線SWL1が活性化される。これによりメモリセルからは記憶されたデータがビット線BL上に読みだされる。アクセスが開始されたアクセスサイクル1では開始アドレス情報にしたがってカラム0が選択されておりメモリデータがカラムセクタ110を通して出力回路111に接続されカラムアドレス0に相当するデータが外部へ出力される。

【0012】次のアクセスサイクル2ではサイクルカウンタ106の値が更新されこの値と開始アドレス情報から出力制御回路108によってメモリブロック101b内のサブワード線SWL2が活性化され、同時にこのメモリブロック中のビット線が出力回路111に接続されカラムアドレス1に相当するデータが出力される。このときフラグレジスタ内の連続読みだしフラグは更新されておらず、このフラグを参照するアクセス制御回路104によりワード線制御回路はメモリサイクル1と同一の主ワード線MWL1を活性化状態で保持している。また、同時にこのフラグが立っている期間中はアクセス制御回路によってプリチャージは停止される。フラグレジスタはサイクルカウンタの値が(連続読みだしワード数-1)の値になる迄クリアされない。サイクルカウンタの値が1(即ち、連続読みだしワード数-1)になると、フラグレジスタの値はクリアされる。このフラグを参照しサイクル2にはいると、主ワード線MWL1の活性化状態は解除され、次のメモリアクセスの準備にはいり、プリチャージ回路によりビット線のプリチャージが開始される。この過程においてメモリサイクル1の期間はプリチャージ動作は行われておらず、このサイクル期間はアクセスすべきメモリブロック、ビット線を切り替えただけであり、ビット線のプリチャージ、外部からのアドレス更新で消費される電流は発生しない。連続する2アドレスのデータを外部からアドレス更新することなく順次出力することにより、アクセススピードを阻害することなく低消費電力化を実現する。

【0013】本実施例ではメモリ領域が異なるワード線にまたがらない場合、最大カラム数分のデータを外部からアドレス更新することなく順次出力することが可能であり、アクセススピードを阻害することなく低消費電力化を実現する。

【0014】上記の説明では開始アドレスが0の場合について説明したが、開始アドレスは0でなくてもよく、その時はフラグレジスタに設定される初期値が相当するカラムアドレスに対応する値に設定される。即ち、開始アドレスがカラム1を示している場合ではフラグレジ

6

タには1が設定され、ここからサイクルカウンタの値が更新されていき、この値が(連続読みだしワード数-1)になるまで上記の説明と同様な課程で連続読みだし動作が継続される。この場合にもフラグレジスタの値がクリアされるまではアクセス制御回路によってプリチャージ動作は停止されており低消費電力化が実現される。

【0015】図3は本発明の請求項2の一実施例における半導体記憶装置の概略構成図を示すものである。図3においては、一例としてそれぞれ複数のメモリセルからなるメモリブロック301a、301bを列方向に2つ配置した場合を示す。同図において、100はデータを格納するメモリセルであり、データを出力するビット線BLと、メモリブロックごとに設けられたサブワード線SWLに接続されている。302は行デコーダである。307はワード線制御回路である。307の出力端子には複数のメモリブロック301a、301bに亘る主ワード線MWLが接続されている。308はアクセスするカラム情報を解読しカラムセクタ回路を制御する出力制御回路である。310はアクセスすべきビット線を選択するカラムセクタ回路であり、カラムセレクト信号線とビット線BLが接続される。303は主ワード線MWLとメモリブロック選択信号に接続されサブワード線のうち選択されたメモリブロックのサブワード線のみを活性化化するサブデコーダである。309はワード線制御回路、プリチャージ回路を制御するアクセス制御回路である。また、305は連続して読みだすデータの数を示す連続読みだしフラグを格納するフラグレジスタであり、306はフラグレジスタの値を参照しクロックに同期してカウントアップまたはカウントダウン(この例の場合はカウントアップ)するサイクルカウンタである。

【0016】以上のように構成された半導体記憶装置について、以下図3及び図4を用いてその動作を説明する。ここで、図4は上記半導体記憶装置のタイミング図である。本実施例においてはカラム数を2とし、連続する2アドレスを連続して読みだす場合について説明する。本発明半導体記憶装置では、初期状態T0においては、全てのビット線BLはプリチャージレベルにプリチャージされている。

【0017】まず、アクセスの開始アドレスがメモリブロック0(カラムアドレス0)を示していた場合について説明する。いま、時刻T1において連続メモリ領域に対するアクセス命令が発行され、開始アドレス情報に従って主ワード線MWL1が活性化される。この時、連続する2アドレスのデータを読みだすことがフラグレジスタ中に書き込まれ、サイクルカウンタがクリアされる。活性化された主ワード線MWL1に接続されているサブデコーダのうち、開始アドレス情報とサイクルカウンタの値により選択されたメモリブロックのサブワード線に対してのみ出力制御回路からブロック選択信号が出力され、サブワード線SWL1が活性化される。メモリセル

からは記憶されたデータがビット線BL上に読みだされる。アクセスが開始されたアクセスサイクル1では開始アドレス情報にしたがってカラム0が選択されておりメモリデータがカラムセクタ310を通して出力回路311に接続されカラムアドレス0に相当するデータが外部へ出力される。

【0018】次のアクセスサイクル2ではサイクルカウンタの値が更新されこの値と開始アドレス情報から出力制御回路によってメモリブロック301bが選択され、サブワード線SWL2が活性化され、同時にこのメモリブロック内のビット線が出力回路311に接続されカラムアドレス1に相当するデータが出力される。このときフラグレジスタ内の連続読みだしフラグは更新されておらず、このフラグを参照するアクセス制御回路304によりワード線制御回路はメモリサイクル1と同一の主ワード線MWL1を活性化状態で保持している。また、同時にこのフラグが立っている期間中はアクセス制御回路によってプリチャージは停止される。フラグレジスタはサイクルカウンタの値が（連続読みだしワード数-1）の値になる迄クリアされない。サイクルカウンタの値が1（即ち、連続読みだしワード数-1）になると、フラグレジスタの値はクリアされる。これによりサイクル2にはいると、主ワード線MWL1の活性化状態はワード線制御回路307によって解除され、次のメモリアクセスの準備にはいり、プリチャージ回路によりビット線のプリチャージが開始される。この過程においてメモリサイクル1の期間はプリチャージ動作は行われておらず、このサイクル期間はアクセスすべきメモリブロック、ビット線を切り替えただけであり、ビット線のプリチャージ、外部からのアドレス更新で消費される電流は発生しない。連続する2アドレスのデータを外部からアドレス更新することなく順次出力することにより、アクセススピードを阻害することなく低消費電力化を実現する。

【0019】次に、開始アドレスがメモリブロック1を示す場合について説明する。時刻T1において連続メモリ領域に対するアクセス命令が発行され、開始アドレス情報に従って主ワード線MWL1が活性化される。この時、連続する2アドレスのデータを読みだすことがフラグレジスタ中に書き込まれ、サイクルカウンタがクリアされる。活性化された主ワード線に接続されているサブデコーダのうち、開始アドレス情報とサイクルカウンタの値により選択されたメモリブロック301bのサブデコーダに対してのみ出力制御回路からブロック選択信号が出力され、サブワード線SWL2が活性化される。この場合にはアクセスが開始されたアクセスサイクル1では開始アドレス情報にしたがってメモリブロック301bが選択されており、このメモリブロック内のメモリデータがカラムセクタ310を通して出力回路311に接続されカラムアドレス1に相当するデータが外部へ出力される。

【0020】次のアクセスサイクル2ではサイクルカウンタの値が更新されこの値と開始アドレス情報から出力制御回路によってメモリブロック301aが選択されビット線BLが出力回路311に接続されカラムアドレス0に相当するデータが出力される。このとき、開始アドレス情報とカウンタの値によりアドレスが次の主ワード線MWL2に移ったことが判定され、出力制御回路からワード線制御回路にワード線の更新を促す信号が発行され、主ワード線MWL2が活性化され、これにもとづきサブワード線SWL3が活性化される。この期間中は連続読みだしフラグは更新されておらず、このフラグが立っている期間中アクセス制御回路によってプリチャージは停止される。フラグレジスタは、次の連続読みだし要求がくるか、サイクルカウンタの値が（連続読みだしワード数-1）の値になる迄クリアされない。サイクルカウンタの値が1（即ち、連続読みだしワード数-1）になると、フラグレジスタの値はクリアされる。これによりサイクル2にはいると、主ワード線MWL2の活性化状態はワード線制御回路307によって解除され、次のメモリアクセスの準備にはいり、プリチャージ回路によりビット線のプリチャージが開始される。

【0021】本実施例によれば、連続するメモリ領域を読み出す場合、メモリ領域が異なる2ワード線にまたがった場合でも最大カラム数分（この場合2アドレス分）のデータを1回のプリチャージ動作でアクセスすることが出来る。

【0022】以上のように本実施例によれば、連続ワード数フラグを格納するフラグレジスタと、前記連続ワード数フラグに応じてカウントするサイクルカウンタと、前記フラグレジスタの値に基づいてワード線制御回路、プリチャージ回路を制御するアクセス制御回路と、前記サイクルカウンタの値と開始アドレス情報に応じてカラム選択信号を出力する出力制御回路を設け、選択する主ワード線、サブワード線、ビット線を時間的に切り替え、順次出力することによってハードウェア量をほとんど増加することなく連続メモリ領域アクセス時のプリチャージに要する低消費電力化を実現する半導体記憶装置を構成することができる。また、本発明の第2の実施例では、メモリブロックを分割し、そのブロックごとのサブワード線をワード線制御回路からの主ワード線出力とアクセス制御回路からのブロック選択信号を用いて制御し、主ワード線を行アドレスデコーダ出力とアクセス制御回路からの制御信号を入力とするワード線制御回路を用いて制御することによりアクセス空間が2つのワード線にまたがった場合でも最大カラム数分のデータを1回のプリチャージサイクルで実現するという効果を有する。

【0023】

【発明の効果】以上のように本発明は連続するメモリ領域へのアクセス時に、連続して読みだすワード数（N）

に応じて、読みだされる領域に対応する主ワード線を該当する期間中活性化状態に保持し、主ワード線を選択情報と出力制御回路の制御信号出力によりサブワード線の制御、ビット線の選択を行ない順次データを出力し、アクセス領域が異なるワード線にまたがった場合には、異なるワード線にアドレスがさしかかった時点で主ワード線を切り替え、サブワード線、ビット線の選択を行い順次データを出力する。アクセスフラグレジスタの値により連続アクセス期間が終了したことを判定しブリチャージ回路を制御してやることにより、連続するメモリ領域に対するアクセス時のブリチャージ回数を低減し低消費電力化を実現することができる。

【図面の簡単な説明】

【図 1】本発明の請求項 1 の実施例における半導体記憶装置の概略構成図

【図 2】同実施例における動作説明のためのタイミング図

【図 3】本発明の請求項 2 の実施例における半導体記憶*

* 装置の概略構成図

【図 4】同実施例における動作説明のためのタイミング図

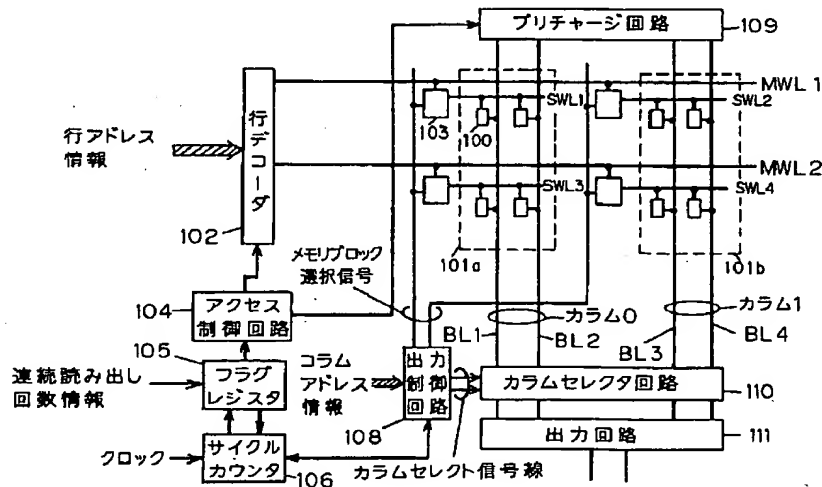
【図 5】従来の半導体記憶装置の概略構成図

【図 6】同従来例における動作説明のためのタイミング図

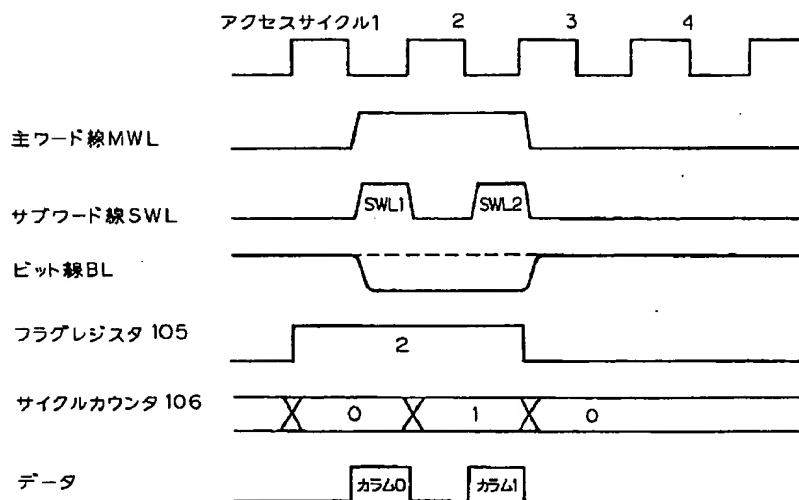
【符号の説明】

100 メモリセル
101a~101b メモリセルアレイ
102 行デコーダ
103 サブデコーダ
104 アクセス制御回路
105 フラグレジスタ
106 サイクルカウンタ
108 出力制御回路
109 ブリチャージ回路
110 カラムセレクト回路
111 出力回路

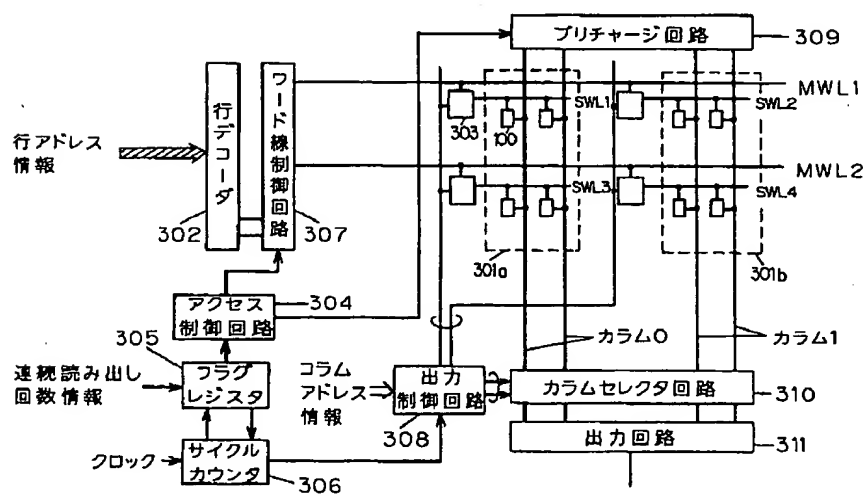
【図 1】



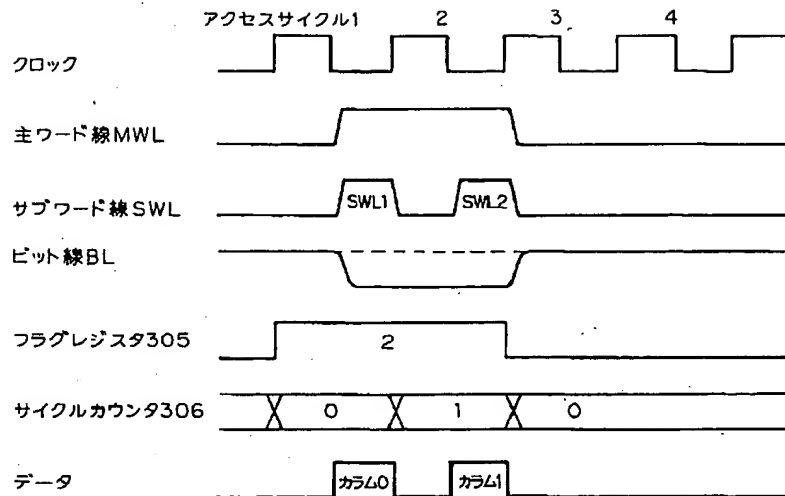
【図 2】



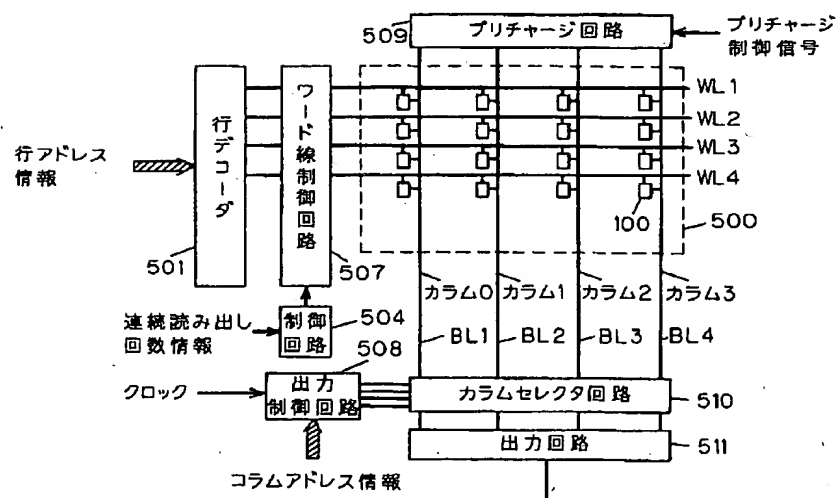
【図 3】



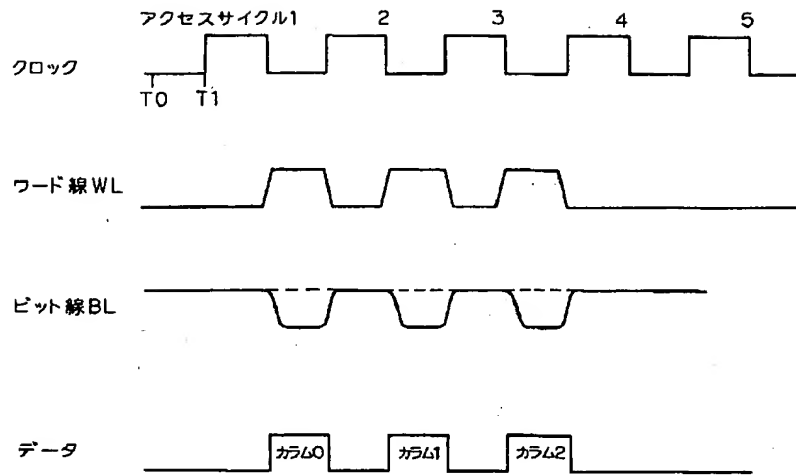
【図 4】



【図 5】



【図 6】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-339686

(43)Date of publication of application : 24.12.1996

(51)Int.Cl.

G11C 11/409

G11C 11/401

(21)Application number : 07-145987

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 13.06.1995

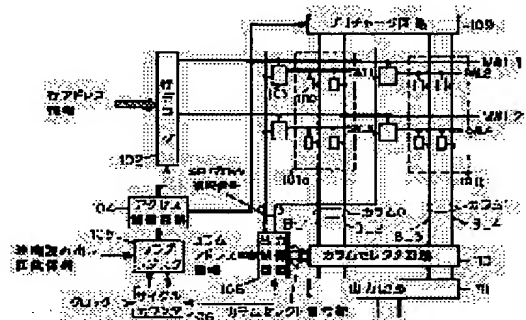
(72)Inventor : TANAKA ISAO

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To obtain a semiconductor memory device whose low power consumption can be realized by a method wherein a bit line which is accessed by an access control circuit is selected and the activation state of a subword line connected to a memory cell is controlled simultaneously.

CONSTITUTION: In an access cycle 2, the value of a cycle counter 106 is updated. From the value and from start address information, a subword line SWL2 inside a memory block 101b is activated by an output control circuit 108. At the same time, a bit line in the memory block is connected to an output circuit 111, and data which corresponds to a column address 1 is output. In this case, a precharging operation is not performed during the period of a memory cycle 1, and a current which is consumed in the precharging operation of the bit line and in an address update operation from the outside is not generated.



LEGAL STATUS

[Date of request for examination]

14.05.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3185610

[Date of registration]

11.05.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor memory characterized by providing the following. Memory block which divided into plurality the memory cell array which arranges a memory cell in the shape of a matrix, and constitutes it The line decoder which decodes line address information and controls the main word line The sub decoder which controls the sub word line which is connected to the aforementioned main word line and the aforementioned memory cell, and controls I/O of data The bit line which reads the data connected and stored in the aforementioned memory cell, The column selector which connects electrically the aforementioned bit line and a data input output line, The flag register which stores the precharge circuit which charges the aforementioned bit line to predetermined potential, and the number flag of continuation WORD showing the number of WORD which reads continuously, The access-control circuit which outputs a control signal to the aforementioned line decoder and the aforementioned precharge circuit according to the value of the aforementioned flag register, The cycle counter which counts the number of cycles according to the value stored in the aforementioned flag register, The output-control circuit which outputs a memory-block selection signal according to the number of counts and the column address information on the aforementioned cycle counter, and changes the aforementioned column selector, and the output circuit which outputs data to the exterior through the aforementioned column selector

[Claim 2] The semiconductor memory characterized by providing the following. Memory block which divided into plurality the memory cell array which arranges a memory cell in the shape of a matrix, and constitutes it The line decoder which decodes line address information The sub decoder which controls the sub word line which is connected to the aforementioned main word line and the aforementioned memory cell, and controls I/O of data The bit line which reads the data connected and stored in the aforementioned memory cell, The column selector which connects electrically the aforementioned bit line and a data input output line, The flag register which stores the precharge circuit which charges the aforementioned bit line to predetermined potential, and the number flag of continuation WORD showing the number of WORD which reads continuously, The word line control circuit which is connected to the aforementioned line decoder and controls the aforementioned main word line, The access-control circuit which outputs a control signal to the aforementioned word line control circuit and the aforementioned precharge circuit according to the value of the aforementioned flag register, The cycle counter which counts the number of cycles according to the value stored in the aforementioned flag register, The output-control circuit which outputs a memory-block selection signal according to the number of counts and the column address information on the aforementioned cycle counter, and changes the aforementioned column selector, and the output circuit which outputs data to the exterior through the aforementioned column selector

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the semiconductor memory of which access to continuous memory storage is required, and the semiconductor memory of the method which precharges a bit line especially for high-speed access realization.

[0002]

[Description of the Prior Art] In recent years, the demand to low-power-izing of memory access has been increasing with the demand to improvement in the speed of data processing. However, it is not easy to realize low-power-ization, maintaining the rapidity of memory. Then, in accessing continuous memory storage, starting address information was decoded, the semiconductor memory which outputs data by choosing the word line and bit line which are set from the decoding result as the object of sequential access in time was devised, the number of times of access from the outside to a memory main part was reduced, and it has realized improvement in the speed and low-power-izing of memory.

[0003] An example of the semiconductor memory is explained referring to a drawing below.

Drawing 5 shows the outline block diagram of the conventional semiconductor memory, and drawing 6 is a timing chart in the conventional example. In drawing 5, 500 is a memory cell array which has arranged the memory cell 100 which memorizes data in the shape of an MxN individual matrix, and the bit line BL which reads data, and the word line WL which controls the output of data are connected to each memory cell, and it is controlled by the line decoder 501 and the word line control circuit 507. A bit line is connected to the column selector 510 and the precharge circuit 509 which charges a bit line to predetermined precharge potential, respectively, and the output circuit 511 is connected to the output section for the output to the exterior. The access-control circuit where 504 controls the word line control circuit 507, and 508 are output-control circuits which control the column selector 510.

[0004] It explains supposing the case where the data of the three address with which the number of columns (N) is 4, and continues [operation / the] below about the semiconductor memory constituted as mentioned above are read. In the time T0 when access to memory is not started, all the bit lines BL are in a precharge state, and are charged by precharge level (in the case of this example supply voltage VDD). In time T1, the access instruction to continuation memory storage is published, and a word line WL is chosen and activated according to starting address information. Data are read from the memory cell connected to the activated word line on a bit line. At this time, by the access cycle 1 by which access was started, a column 0 is chosen according to starting address information, and the data with which it connects with an output circuit 511 and with which a bit line BL1 is equivalent to a column address 0 are outputted to the exterior. Since the data outputted from the memory cell are read on all bit lines at this time, in a next access cycle, precharge operation of a bit line is needed. And in an access cycle 2, the value of a cycle counter 506 is updated, a column 1 is chosen from this value and starting address information by the output-control signal, and the data with which it connects with an output circuit 511 and with which a bit line BL2 is equivalent to a column address 1 are outputted. The data of a column 2 are outputted like the following. It is only during the period of

an access cycle 1 that the input address from the outside is updated in this process, the word line and bit line which are chosen by the access-control circuit 504 and the word line control circuit 507 were only changed after subsequent two-cycle eyes, and in order to update the address during this period, the current in the portion which generates the address is not generated. Low-power-ization is realized by changing a word line and a bit line and outputting the data of the continuous three address one by one, without checking access speed.

[0005]

[Problem(s) to be Solved by the Invention] In the above composition, access to the room which continued by changing the bit line which activates the word line accessed by the word line control circuit 507, chooses a memory cell one by one, and is connected to the external output circuit 511 in the output-control section is realized. For this reason, it needed to precharge, whenever it accessed bit line potential, when the potential of all bit lines may have been pulled down by access from the memory cell connected to the word line chosen with the above composition whenever it accessed (it is dependent on the data in a memory cell) and memory storage was accessed continuously, and it had the trouble that the power consumption which precharge takes increased.

[0006] The purpose of this invention realizes access to the memory storage which continues only by adding an easy circuit in view of the above-mentioned trouble, and offers the semiconductor memory which reduces the power consumption at the time of continuation readout operation by cutting down the number of times of bit line precharge.

[0007]

[Means for Solving the Problem] In order to solve the above-mentioned trouble the semiconductor memory of this invention The main word line equivalent to the address read by the word line control circuit is maintained to an activated state during the period which has accessed the continuous address space. By controlling the activated state of the sub word line connected to the memory cell while choosing the bit line accessed by the access-control circuit The memory cell to access is chosen one by one, data are outputted on a bit line, and this output is connected to an output circuit one by one with a predetermined control signal.

[0008]

[Function] this invention becomes possible [reducing the power consumed by the above-mentioned composition by the precharge at the time of access to the memory storage which continues regardless of a starting address by the addition of a small-scale circuit].

[0009]

[Example] The semiconductor memory of one example of this invention is explained below, referring to a drawing. Drawing 1 is the outline block diagram of the semiconductor memory in one example of this invention. In drawing 1 , the case where the memory block 101a and 101b which consists of two or more memory cells, respectively has been arranged in the two directions of a train is shown. In this drawing, 100 is a memory cell which stores data and is connected to the bit line BL which outputs data, and the sub word line SWL prepared for every memory block. 102 is a line decoder which decodes line address information. The main word line MWL covering two or more memory block 101a and 101b is connected to the output terminal of the line decoder 102. 110 is a column selector circuit which chooses the bit line which should be accessed, and a column selection signal line and a bit line BL are connected. 103 is a sub decoder which activates only the sub word line of memory block which was connected to the main word line MWL and the memory-block selection signal, and was chosen among sub word lines. A bit line is inputted into the column selector 110, respectively, and the output circuit 111 is connected to the output section for the output to the exterior. Moreover, 109 is a precharge circuit which charges a bit line at predetermined precharge level, and the access-control circuit where 104 controls a line decoder and a precharge circuit, and 108 are output-control circuits which decode the column address information to access and control the column selector 110 and the sub decoder 103. Moreover, 105 is a flag register which stores the continuation readout flag which shows the number of the data read continuously (several maximum column minutes), and 106 is count-up or a cycle counter to count down (it counts up in the case of this example) with reference to the value of a flag register 105 synchronizing with a clock.

[0010] About the semiconductor memory constituted as mentioned above, the operation is explained using drawing 1 and drawing 2 below. Here, drawing 2 is the timing chart of the above-mentioned semiconductor memory. The number of columns is set to 2 in this example, and the case where the continuous two address is read-continuously is explained. In this invention semiconductor memory, all the bit lines BL are precharged in the initial state T0 at precharge level.

[0011] First, the case where the starting address of access shows the column address 0 is explained. Now, in time T1, the access instruction to continuation memory storage is published, and the main word line MWL1 which corresponds according to starting address information is activated. At this time, reading the data of the continuous two address is written in into a flag register 105, a cycle counter 106 is cleared, and initial value is set up by the starting address. In this case, since a column address is 0, 0 is set up. A block selection signal is outputted from the output-control circuit 108 only to the sub word line of memory block chosen by starting address information and the value of a cycle counter among the sub decoders 103 connected to the activated main word line MWL1, and the sub word line SWL1 is activated. Thereby, the memorized data are read from a memory cell on a bit line BL. In the access cycle 1 by which access was started, the data which the column 0 is chosen according to starting address information, and memory data are connected to an output circuit 111 through the column selector 110, and are equivalent to a column address 0 are outputted to the exterior.

[0012] In the following access cycle 2, the value of a cycle counter 106 is updated, the sub word line SWL2 in memory-block 101b is activated by the output-control circuit 108 from this value and starting address information, and the data with which it connects with an output circuit 111 and with which the bit line in this memory block is simultaneously equivalent to a column address 1 are outputted. At this time, the continuation readout flag in a flag register is not updated, but the word line control circuit holds the same main word line MWL1 as a memory cycle 1 with the activated state by the access-control circuit 104 which refers to this flag. Moreover, precharge is stopped by the access-control circuit during the period this flag stands simultaneously. A flag register is not cleared until it becomes the value of the value (number of continuation readout WORD - 1) of a cycle counter. If the value of a cycle counter is set to 1 (namely, number of continuation readout WORD - 1), the value of a flag register will be cleared. If it is in a cycle 2 with reference to this flag, the activated state of the main word line MWL1 will be canceled, and will be needed for preparation of the next memory access, and precharge of a bit line will be started by the precharge circuit. In this process, precharge operation was not performed for the period of a memory cycle 1, but this cycle period only changed memory block and the bit line which should be accessed, and the current consumed by precharge of a bit line and the renewal of the address from the outside is not generated. Low-power-ization is realized by outputting one by one, without carrying out renewal of the address of the data of the continuous two address from the outside, without checking access speed.

[0013] In this example, when not straddling the word line from which memory storage differs, outputting one by one is possible, without carrying out renewal of the address of the data for several maximum column minutes from the outside, and low-power-ization is realized, without checking access speed.

[0014] Although the above-mentioned explanation explained the case where a starting address was 0, a starting address may not be 0 and is set as the value corresponding to the column address to which the initial value then set as a flag register is equivalent. That is, by the case where the starting address shows the column 1, 1 is set to a flag register, the value of a cycle counter is updated from here, and continuation readout operation is continued in the same course as the above-mentioned explanation until it becomes this value (number of continuation readout WORD - 1). Also in this case, precharge operation is stopped by the access-control circuit and low-power-ization is realized until the value of a flag register is cleared.

[0015] Drawing 3 shows the outline block diagram of the semiconductor memory in one example of the claim 2 of this invention. In drawing 3, the case where the memory block 301a and 301b which consists of two or more memory cells as an example, respectively has been arranged in the two directions of a train is shown. In this drawing, 100 is a memory cell which stores data

and is connected to the bit line BL which outputs data, and the sub word line SWL prepared for every memory block. 302 is a line decoder. 307 is a word line control circuit. The main word line MWL covering two or more memory block 301a and 301b is connected to the output terminal of 307. 308 is an output-control circuit which decodes the column information to access and controls a column selector circuit. 310 is a column selector circuit which chooses the bit line which should be accessed, and a column selection signal line and a bit line BL are connected. 303 is a sub decoder which activates only the sub word line of memory block which was connected to the main word line MWL and the memory-block selection signal, and was chosen among sub word lines. 309 is an access-control circuit which controls a word line control circuit and a precharge circuit. Moreover, 305 is a flag register which stores the continuation readout flag which shows the number of the data read continuously, and 306 is count-up or a cycle counter to count down (it counts up in the case of this example) with reference to the value of a flag register synchronizing with a clock.

[0016] About the semiconductor memory constituted as mentioned above, the operation is explained using drawing 3 and drawing 4 below. Here, drawing 4 is the timing chart of the above-mentioned semiconductor memory. The number of columns is set to 2 in this example, and the case where the continuous two address is read continuously is explained. In this invention semiconductor memory, all the bit lines BL are precharged in the initial state T0 at precharge level.

[0017] First, the case where the starting address of access shows memory block 0 (column address 0) is explained. Now, in time T1, the access instruction to continuation memory storage is published, and the main word line MWL1 is activated according to starting address information. At this time, reading the data of the continuous two address is written in into a flag register, and a cycle counter is cleared. A block selection signal is outputted from an output-control circuit only to the sub word line of memory block chosen by starting address information and the value of a cycle counter among the sub decoders connected to the activated main word line MWL1, and the sub word line SWL1 is activated. The memorized data are read from a memory cell on a bit line BL. In the access cycle 1 by which access was started, the data which the column 0 is chosen according to starting address information, and memory data are connected to an output circuit 311 through the column selector 310, and are equivalent to a column address 0 are outputted to the exterior.

[0018] In the following access cycle 2, the value of a cycle counter is updated, memory-block 301b is chosen from this value and starting address information by the output-control circuit, the sub word line SWL2 is activated, and the data with which it connects with an output circuit 311 and with which the bit line in this memory block is simultaneously equivalent to a column address 1 are outputted. At this time, the continuation readout flag in a flag register is not updated, but the word line control circuit holds the same main word line MWL1 as a memory cycle 1 with the activated state by the access-control circuit 304 which refers to this flag. Moreover, precharge is stopped by the access-control circuit during the period this flag stands simultaneously. A flag register is not cleared until it becomes the value of the value (number of continuation readout WORD - 1) of a cycle counter. If the value of a cycle counter is set to 1 (namely, number of continuation readout WORD - 1), the value of a flag register will be cleared. If it is in a cycle 2 by this, the activated state of the main word line MWL1 will be canceled by the word line control circuit 307, and will be needed for preparation of the next memory access, and precharge of a bit line will be started by the precharge circuit. In this process, precharge operation was not performed for the period of a memory cycle 1, but this cycle period only changed memory block and the bit line which should be accessed, and the current consumed by precharge of a bit line and the renewal of the address from the outside is not generated. Low-power-ization is realized by outputting one by one, without carrying out renewal of the address of the data of the continuous two address from the outside, without checking access speed.

[0019] Next, the case where a starting address shows memory block 1 is explained. In time T1, the access instruction to continuation memory storage is published, and the main word line MWL1 is activated according to starting address information. At this time, reading the data of the continuous two address is written in into a flag register, and a cycle counter is cleared. A block

selection signal is outputted from an output-control circuit only to the sub decoder of memory-block 301b chosen by starting address information and the value of a cycle counter among the sub decoders connected to the activated main word line, and the sub word line SWL2 is activated. In this case, in the access cycle 1 by which access was started, memory-block 301b is chosen according to starting address information, and the data which the memory data in this memory block are connected to an output circuit 311 through the column selector 310, and are equivalent to a column address 1 are outputted to the exterior.

[0020] In the following access cycle 2, the value of a cycle counter is updated, memory-block 301a is chosen from this value and starting address information by the output-control circuit, and the data with which it connects with an output circuit 311 and with which a bit line BL is equivalent to a column address 0 are outputted. At this time, the signal with which it is judged that the address moved to the following main word line MWL2 with starting address information and the value of a counter, and it urges renewal of a word line to a word line control circuit from an output-control circuit is published, the main word line MWL2 is activated, and the sub word line SWL3 is activated based on this. A continuation readout flag is not updated during this period, but precharge is stopped by the access-control circuit in a period this flag stands. A flag register is not cleared until the next continuation readout demand comes or it becomes the value of the value (number of continuation readout WORD - 1) of a cycle counter. If the value of a cycle counter is set to 1 (namely, number of continuation readout WORD - 1), the value of a flag register will be cleared. If it is in a cycle 2 by this, the activated state of the main word line MWL2 will be canceled by the word line control circuit 307, and will be needed for preparation of the next memory access, and precharge of a bit line will be started by the precharge circuit.

[0021] Even when 2 word lines from which memory storage differs when reading continuous memory storage according to this example are straddled, the data for several maximum column minutes (a part for the two address in this case) can be accessed in one precharge operation.

[0022] The flag register which stores the number flag of continuation WORD as mentioned above according to this example, The cycle counter counted according to the aforementioned number, flag of continuation WORD, The access-control circuit which controls a word line control circuit and a precharge circuit based on the value of the aforementioned flag register, The output-control circuit which outputs a column selection signal according to the value and starting address information on the aforementioned cycle counter is prepared. The main word line to choose, a sub word line, and a bit line are changed in time, and the semiconductor memory which realizes low-power-ization which the precharge at the time of continuation memory field access takes can be constituted, without increasing most amounts of hardware by outputting one by one. Moreover, divide memory block and the sub word line for the block of every is controlled by the 2nd example of this invention using the block selection signal from the main word line output and access-control circuit from a word line control circuit. By controlling the main word line using the word line control circuit which considers the control signal from a line address decoder output and an access-control circuit as an input Even when access space straddles two word lines, it has the effect referred to as realizing the data for several maximum column minutes in 1 time of a precharge cycle.

[0023]

[Effect of the Invention] this invention responds to the number of WORD (N) read succeeding the time of access to continuous memory storage as mentioned above. The main word line corresponding to the field read is held to the corresponding activated state in a period. By the control signal output of the selection information of the main word line, and an output-control circuit, control of a sub word line, A bit line is chosen, data are outputted one by one, when the word line from which an access field differs is straddled and the address puts in a different word line, the main word line is changed, selection of a sub word line and a bit line is performed, and data are outputted one by one. By judging that the continuation access period expired with the value of an access flag register, and controlling a precharge circuit, the number of times of precharge at the time of access to continuous memory storage can be reduced, and low-power-ization can be realized.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The outline block diagram of the semiconductor memory in the example of the claim 1 of this invention

[Drawing 2] The timing chart for the explanation of operation in this example

[Drawing 3] The outline block diagram of the semiconductor memory in the example of the claim 2 of this invention

[Drawing 4] The timing chart for the explanation of operation in this example

[Drawing 5] The outline block diagram of the conventional semiconductor memory

[Drawing 6] The timing chart for the explanation of operation in the example of *****

[Description of Notations]

100 Memory Cell

101a-101b Memory cell array

102 Line Decoder

103 Sub Decoder

104 Access-Control Circuit

105 Flag Register

106 Cycle Counter

108 Output-Control Circuit

109 Precharge Circuit

110 Column Selector Circuit

111 Output Circuit

[Translation done.]